

日本国特許庁  
JAPAN PATENT OFFICE

#2 | PRIORITY  
PAPER  
2-13-02  
Rtote

JC903 U.S. PTO  
10/036955  
12/20/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年12月26日

出願番号

Application Number:

特願2000-394609

出願人

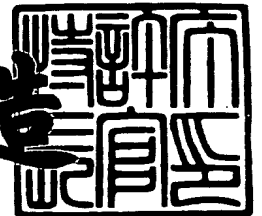
Applicant(s):

日本電気株式会社

2001年 9月10日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3083258

【書類名】 特許願

【整理番号】 71110466

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 29/78

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 10

【発明者】

    【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

    【氏名】 黛 哲

【特許出願人】

    【識別番号】 000004237

    【氏名又は名称】 日本電気株式会社

【代理人】

    【識別番号】 100090158

    【弁理士】

    【氏名又は名称】 藤巻 正憲

    【電話番号】 03-3433-4221

【手数料の表示】

    【予納台帳番号】 009782

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9715181

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板と、この半導体基板上に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成され上方に向けてゲート長方向における長さが長くなる部分を有するゲート電極と、このゲート電極の側部に平面視で前記ゲート電極の上端部に隠れるように形成されたサイドウォールと、を有し、前記サイドウォールは前記ゲート電極を覆う層間絶縁膜又はこの層間絶縁膜に形成されたコンタクトに接していることを特徴とする半導体装置。

【請求項 2】 半導体基板と、この半導体基板上に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成され上方に向けてゲート長方向における長さが長くなる部分を有するゲート電極と、このゲート電極の側部に平面視で前記ゲート電極の上端部に隠れるように形成されたサイドウォールと、を有し、前記サイドウォールはエッチング特性が相違する少なくとも 2 つの絶縁膜が積層されて形成されていることを特徴とする半導体装置。

【請求項 3】 前記ゲート電極は、ゲート長方向における長さが実質的に一定の下部と、この下部上にて上方に向けてゲート長方向における長さが長くなる上部とを有することを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 前記ゲート電極は、前記上部上に、ゲート長方向における長さが実質的に一定で最長のひさし部を有することを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】 前記コンタクトは、前記半導体基板の表面に形成された拡散層まで到達していることを特徴とする請求項 1、3 又は 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】 前記サイドウォールは、前記上部の側方と前記下部の側方とで互いに異なる絶縁膜から形成されていることを特徴とする請求項 3 乃至 5 のいずれか 1 項に記載の半導体装置。

【請求項 7】 前記上部の側面は、テーパ状の斜面となっていることを特徴とする請求項 3 乃至 6 のいずれか 1 項に記載の半導体装置。

【請求項 8】 半導体基板上に第 1 及び第 2 の絶縁膜を順次形成する工程と、前記第 2 の絶縁膜に深くなるほど狭くなるテーパ状の開口部を形成する工程と、前記開口部の最下部の形状に整合する開口部を前記第 1 の絶縁膜に形成する工程と、前記第 1 及び第 2 の絶縁膜に形成された開口部内に導電膜を埋設してゲート電極を形成する工程と、前記導電膜をマスクとして前記第 1 及び第 2 の絶縁膜をエッチングして、前記ゲート電極の側部に平面視で前記ゲート電極の上端部に隠れるサイドウォールを形成する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項 9】 前記第 1 及び第 2 の絶縁膜を形成する工程の後に、前記第 2 の絶縁膜上に第 3 の絶縁膜を形成する工程と、前記第 2 の絶縁膜に形成される開口部の最上部の形状に整合する開口部を前記第 3 の絶縁膜に形成する工程と、を有し、前記第 2 の絶縁膜に開口部を形成する工程は、前記第 3 の絶縁膜をマスクとして行われることを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 10】 前記半導体基板の表面に前記導電膜をマスクとしてイオン注入して拡散層を形成する工程と、前記導電膜及び拡散層を覆う層間絶縁膜を形成しこの層間絶縁膜に前記導電膜及び拡散層まで到達するコンタクトホールを形成する工程と、を有することを特徴とする請求項 8 又は 9 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はスタティック・ランダム・アクセス・メモリ（以下、SRAMという）に好適な半導体装置及びその製造方法に関し、特に、電界効果トランジスタ（以下、FETという）におけるリーク電流の低減を図った半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

近時、SRAMセルにおけるセル面積の縮小を目的として、互いに接続されるMOSトランジスタのゲート及び他のMOSトランジスタのドレインに1個のコ

ンタクトホールを共有させる構造のものが使用されている。図 1 0 は従来の S R A M セルの構造を示す断面図である。

## 【 0 0 0 3 】

この従来の S R A M セルにおいては、第 1 の M O S トランジスタのドレインに第 2 の M O S トランジスタのゲートが接続される。シリコン基板 5 1 上にゲート酸化膜 5 7 を介して第 2 の M O S トランジスタのゲート電極 5 8 が形成されている。ゲート電極 5 8 及びゲート酸化膜 5 7 の側方には、サイドウォール 5 9 が形成されている。サイドウォール 5 9 直下のシリコン基板 5 1 の表面には、第 1 の M O S トランジスタ側において、低濃度拡散層 6 0 a が形成され、その外側には高濃度拡散層 6 0 b が形成されている。更に、高濃度拡散層 6 0 b 上にシリサイド膜 6 0 c が形成されている。このようにして第 1 の M O S トランジスタのドレイン領域が構成されている。

## 【 0 0 0 4 】

また、第 1 の M O S トランジスタから離間する側のサイドウォール 5 9 直下のシリコン基板 5 1 の表面には、サイドウォール 5 9 の外方からゲート酸化膜 5 7 下まで S T I (Shallow Trench Isolation) による素子分離用の酸化膜 6 5 が形成されている。更に、図 1 0 に示す領域での素子分離用の酸化膜 6 5 の外側においては、第 1 の M O S トランジスタのドレイン領域と同様にして、高濃度拡散層 6 0 b 及びシリサイド膜 6 0 c が形成されている。この部分が第 2 の M O S トランジスタのソース領域の一部 (L D D (Lightly doped Drain) 構造の高濃度領域) となる。ゲート電極 5 8 は、図 1 0 に図示しない領域を経由して、図 1 0 に図示する部位との間でそのソース領域を挟む位置まで迂回している。更に、ゲート電極 5 8 のその迂回した部位をソース領域と挟むようにして第 2 の M O S トランジスタのドレイン領域 (図示せず) が形成されている。

## 【 0 0 0 5 】

更に、第 2 の M O S トランジスタのゲート電極 5 8 及び第 1 の M O S トランジスタのドレイン用のシリサイド膜 6 0 c まで到達する共通コンタクトホール 6 2 a 並びに第 2 の M O S トランジスタのソース用のシリサイド膜 6 0 c まで到達するコンタクトホール 6 2 b が開口された層間絶縁膜 6 1 が形成されている。共通

コンタクトホール 6 2 a は、サイドウォール 5 9 の分だけコンタクトホール 6 2 b よりも大きく形成されている。共通コンタクトホール 6 2 a 及びコンタクトホール 6 2 b 内には、導電膜 6 3 が埋設されている。そして、各導電膜 6 3 上には、夫々配線層 6 4 が形成されている。配線層 6 4 は、例えば Ti 膜 6 4 a、TiN 膜 6 4 b、Al 膜 6 4 c、TiN 膜 6 4 d 及び Ti 膜 6 4 e の積層体からなる。

## 【 0 0 0 6 】

このように構成された従来の SRAM セルによれば、ゲート用のコンタクトホールとドレイン用のコンタクトホールが共有されているので、これらが個別に設けられている場合と比較すると、セル面積の縮小が可能になる。

## 【 0 0 0 7 】

## 【発明が解決しようとする課題】

しかしながら、上述のような構造の SRAM セルを製造しようとする場合、シリコン基板 5 1 上にゲート電極 5 8、サイドウォール 5 9 及びシリサイド膜 6 0 c 等を形成した後、全面に層間絶縁膜 6 1 を形成し、これに共通コンタクトホール 6 2 a 及びコンタクトホール 6 2 b を開口する必要があるが、この際に、層間絶縁膜 6 1 と同時にサイドウォール 5 9 もが除去されてしまうという問題点がある。図 1 1 は共通コンタクトホール 6 2 a 及びコンタクトホール 6 2 b の形成後の状態を示す断面図である。図 1 1 に示すように、サイドウォール 5 9 が除去された場合、シリコン基板 5 1 へのリーク電流が発生してしまう。層間絶縁膜 6 1 及びサイドウォール 5 9 のエッチング選択比を制御することによってサイドウォール 5 9 の減少を低減することはできるものの、それでもリークを防止するには至らない。

## 【 0 0 0 8 】

また、前述のように、共通コンタクトホール 6 2 a はサイドウォール 5 9 の分だけコンタクトホール 6 2 b より大きいため、セル面積の縮小が十分とはいえない。更に、これらの大きさが異なるため、これらの開口にマスクとして使用するレジスト膜のパターンの形成が困難である。

## 【 0 0 0 9 】

また、溝ゲート型MOSFETにおいては、スイッチングの遅延時間の短縮を目的として溝の底面及び側面に沿ってゲート酸化膜を形成し、その上に上方に向かってサイズが大きくなる形状のゲート電極を設けたものが提案されているが（特開平7-38095号公報）、この場合でも、共通コンタクトホールを形成しようとする、サイドウォールが露出してエッチングされることを避けることができない。

## 【0010】

本発明はかかる問題点に鑑みてなされたものであって、サイドウォールの減少に伴うリーク電流の発生を低減することができる半導体装置及びその製造方法を提供することを目的とする。

## 【0011】

## 【課題を解決するための手段】

本発明に係る半導体装置は、半導体基板と、この半導体基板上に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成され上方に向けてゲート長方向における長さが長くなる部分を有するゲート電極と、このゲート電極の側部に平面視で前記ゲート電極の上端部に隠れるように形成されたサイドウォールと、を有し、前記サイドウォールは前記ゲート電極を覆う層間絶縁膜又はこの層間絶縁膜に形成されたコンタクトに接していることを特徴とする。

## 【0012】

本発明に係る他の半導体装置は、半導体基板と、この半導体基板上に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成され上方に向けてゲート長方向における長さが長くなる部分を有するゲート電極と、このゲート電極の側部に平面視で前記ゲート電極の上端部に隠れるように形成されたサイドウォールと、を有し、前記サイドウォールはエッチング特性が相違する少なくとも2つの絶縁膜が積層されて形成されていることを特徴とする。

## 【0013】

本発明においては、サイドウォールがゲート電極の上端部に覆われているので、その後に層間絶縁膜にコンタクトホールをエッチングにより形成する場合にも、サイドウォールが上方に露出することがない。従って、サイドウォールの減少

が防止され、これに伴うリークが防止される。また、上端部を露光装置の限度の小ささとすれば、下端部をより小さくして露光装置の限界よりも小さいゲート長が得られる。これにより、MOSトランジスタをより高速で動作させることが可能になる。

## 【0014】

なお、前記ゲート電極は、ゲート長方向における長さが実質的に一定の下部と、この下部上にて上方に向けてゲート長方向における長さが長くなる上部とを有することができ、更に、前記上部上に、ゲート長方向における長さが実質的に一定で最長のひさし部を有することができる。

## 【0015】

また、前記コンタクトを前記半導体基板の表面に形成された拡散層まで到達させることにより、共通コンタクトホールを構造を採用したときのSRAMセルの面積をより縮小することができる。

## 【0016】

更に、前記サイドウォールは、前記上部の側方と前記下部の側方とで互いに異なる絶縁膜から形成されていてもよく、前記上部の側面は、テーパ状の斜面となっていてよい。

## 【0017】

本発明に係る半導体装置の製造方法は、半導体基板上に第1及び第2の絶縁膜を順次形成する工程と、前記第2の絶縁膜に深くなるほど狭くなるテーパ状の開口部を形成する工程と、前記開口部の最下部の形状に整合する開口部を前記第1の絶縁膜に形成する工程と、前記第1及び第2の絶縁膜に形成された開口部内に導電膜を埋設してゲート電極を形成する工程と、前記導電膜をマスクとして前記第1及び第2の絶縁膜をエッチングして、前記ゲート電極の側部に平面視で前記ゲート電極の上端部に隠れるサイドウォールを形成する工程と、を有することを特徴とする。

## 【0018】

本発明方法においては、導電膜をマスクとして第1及び第2の絶縁膜をエッチングすることにより、導電膜がゲート電極となり、第1及び第2の絶縁膜がサイ



ドウオールとなった構造を得ることができる。従って、第 1 及び第 2 の絶縁膜は導電膜によって完全に覆われるので、その後のコンタクトホールを形成する工程においてもサイドウオールはエッチングされない。また、サイドウオールを自己整合的に形成できるので、工程数を減少することが可能である。

#### 【0019】

なお、前記第 1 及び第 2 の絶縁膜を形成する工程の後に、前記第 2 の絶縁膜上に第 3 の絶縁膜を形成する工程と、前記第 2 の絶縁膜に形成される開口部の最上部の形状に整合する開口部を前記第 3 の絶縁膜に形成する工程と、を有し、前記第 2 の絶縁膜に開口部を形成する工程は、前記第 3 の絶縁膜をマスクとして行われることが好ましい。これらの工程により、より容易に所望の形状の導電膜、即ちゲート電極を得ることが可能になる。

#### 【0020】

また、前記半導体基板の表面に前記導電膜をマスクとしてイオン注入して拡散層を形成する工程と、前記導電膜及び拡散層を覆う層間絶縁膜を形成しこの層間絶縁膜に前記導電膜及び拡散層まで到達するコンタクトホールを形成する工程と、を有することができる。これらの工程により、共通コンタクトホールの構造を得ることができる。

#### 【0021】

なお、第 1 及び第 2 の絶縁膜を順次形成する工程の前に、選択的に S T I による素子分離用の酸化膜を形成し、更に所定のウェルの形成及びチャネル形成領域へのイオン注入を行う工程を有していてもよい。

#### 【0022】

#### 【発明の実施の形態】

以下、本発明の実施例に係る S R A M について、添付の図面を参照して具体的に説明する。図 1 ( a ) は本発明の実施例に係る S R A M の 1 セルを示す回路図、( b ) はレイアウト図である。また、図 2 は図 1 ( b ) の A - A 線に沿った断面図である。図 3 は本発明の実施例におけるゲート電極のゲート幅方向に直交する断面の形状を示す断面図である。図 4 は図 1 ( b ) の B - B 線に沿った断面図であり、図 5 は図 1 ( b ) の C - C 線に沿った断面図である。

## 【 0 0 2 3 】

本実施例においては、図 1 ( a ) に示すように、 1 対のデータ線 D L に、夫々 N チャンネル M O S トランジスタ T r 1 及び T r 4 のソースが接続されている。トランジスタ T r 1 及び T r 4 のドレインはワード線 W L に接続されている。トランジスタ T r 1 のソースには、N チャンネル M O S トランジスタ T r 2 及び P チャンネル M O S トランジスタ T r 3 の各ドレインが接続され、トランジスタ T r 4 のソースには、N チャンネル M O S トランジスタ T r 5 及び P チャンネル M O S トランジスタ T r 6 の各ドレインが接続されている。トランジスタ T r 2 及び T r 5 の各ソースには接地電位が供給され、トランジスタ T r 3 及び T r 6 のソースには電源電位 V c c が供給される。

## 【 0 0 2 4 】

上述のような回路構成の S R A M セルは、例えば図 1 ( b ) に示すレイアウトにより実現される。即ち、行方向に延びるゲート電極 G 1 を挟むようにして、トランジスタ T r 1 用の N 型拡散層 D 1 及び N 型拡散層 D 2 が形成され、トランジスタ T r 4 用の N 型拡散層 D 3 及び N 型拡散層 D 4 が形成されている。N 型拡散層 D 2 は、トランジスタ T r 2 との間で共有されており、この N 型拡散層 D 2 との間で行方向に延びるゲート電極 G 2 を挟むようにして、トランジスタ T r 2 用の N 型拡散層 D 5 が形成されている。同様に、N 型拡散層 D 4 は、トランジスタ T r 5 との間で共有されており、この N 型拡散層 D 4 との間で行方向に延びるゲート電極 G 3 を挟むようにして、トランジスタ T r 5 用の N 型拡散層 D 6 が形成されている。更に、ゲート電極 G 2 を挟むようにして、トランジスタ T r 3 用の P 型拡散層 D 7 及び D 8 が形成され、ゲート電極 G 3 を挟むようにして、トランジスタ T r 6 用の P 型拡散層 D 9 及び D 1 0 が形成されている。

## 【 0 0 2 5 】

各 N 型拡散層 D 1 乃至 D 1 0 上には、層間絶縁膜に開口されたコンタクトホール C 1 乃至 C 1 0 が設けられている。また、ゲート電極 G 2 には、その長手方向の中間部からコンタクトホール C 4 まで延出する延出部が設けられており、N 型拡散層 D 4 のコンタクトホール C 4 は、ゲート電極 G 2 との間で共有されて共通コンタクトホールとなっている。同様に、ゲート電極 G 3 には、その長手方向の

中間部からコンタクトホールC 8まで延出する延出部が設けられており、P型拡散層D 8のコンタクトホールC 8は、ゲート電極G 3との間で共有されて共通コンタクトホールとなっている。ゲート電極G 1については、後述のように、独立してコンタクトホールC 1 1が設けられている。なお、N型拡散層D 2とP型拡散層D 8とは、コンタクトホールC 2及びC 8を介して上層の配線層（図示せず）により互いに接続され、N型拡散層D 4とN型P型拡散層D 1 0とは、コンタクトホールC 4及びC 1 0を介して上層の配線層（図示せず）により互いに接続されている。また、拡散層C 1及びC 3は、夫々コンタクトホールC 1及びC 3を介してデータ線DLに接続され、ゲート電極G 1は、コンタクトホールC 1 1を介してワード線WLに接続される。更に、N型拡散層D 5及びD 6には、コンタクトホールC 5及びC 6を介して電源電位GNDが供給され、P型拡散層D 7及びD 9には、コンタクトホールC 7及びC 9を介して電源電位Vccが供給される。

## 【 0 0 2 6 】

トランジスタTr 2及びトランジスタTr 5の近接領域では、図2に示すように、シリコン基板1上にゲート酸化膜7を介してゲート電極8 a（ゲート電極G 2の延出部）が形成されている。ゲート電極8 aは、図3に示すように、ひさし部8 b、上部8 c及び下部8 dの3段構造を有している。ひさし部8 bの断面形状は長方形であり、その大きさは、例えば高さ：40 nm、幅：140 nmである。下部8 dの断面形状も長方形であり、その大きさは、例えば高さ40 nm、幅：50 nmである。上部8 cの断面形状は下辺が短い等脚台形であり、その大きさは、例えば上辺：140 nm、下辺：50 nm、高さ：80 nmである。また、ひさし部8 bの側部と上部8 cの側部とがなす角度（テーパ角度） $\alpha$ は、例えば30°程度である。

## 【 0 0 2 7 】

また、上部8 cの側方には、ひさし部8 bに覆われるようにして絶縁膜3が形成され、下部8 d及びゲート酸化膜7の側方には、ひさし部8 bに覆われるようにして絶縁膜2が形成されている。これらの絶縁膜3及び絶縁膜2からサイドウォール9が構成されている。

## 【 0 0 2 8 】

トランジスタ T r 5 側の絶縁膜 2 直下のシリコン基板 1 の表面には、低濃度拡散層 1 0 a が形成され、その外側には高濃度拡散層 1 0 b が形成されている。更に、高濃度拡散層 1 0 b 上にシリサイド膜 1 0 c が形成されている。低濃度拡散層 1 0 a、高濃度拡散層 1 0 b 及びシリサイド膜 1 0 c から L D D 構造のソース・ドレイン領域（N型拡散層 D 4）が構成されている。

## 【 0 0 2 9 】

また、トランジスタ T r 5 から離間する側の絶縁膜 2 直下のシリコン基板 1 の表面には、絶縁膜 2 の外方からゲート酸化膜 7 下まで S T I による素子分離用の酸化膜 1 5 が形成されている。更に、図 2 に示す領域での素子分離用の酸化膜 1 5 の外側においては、トランジスタ T r 5 のドレイン領域と同様にして、高濃度拡散層 1 0 b 及びシリサイド膜 1 0 c が形成されている。この部分がトランジスタ T r 2 のソース領域の一部（L D D 構造の高濃度領域）となる。ゲート電極 8 a は、図 1（b）に示すように、図 2 に図示する部位との間でそのソース領域（N型拡散層 D 2）を挟む位置まで迂回しており、ゲート電極 5 8 のその迂回した部位をソース領域（N型拡散層 D 2）と挟むようにしてトランジスタ T r 2 のドレイン領域（N型拡散層 D 5）が形成されている。

## 【 0 0 3 0 】

更に、ゲート電極 8 a 及びN型拡散層 D 4 のシリサイド膜 1 0 c まで到達する共通コンタクトホール 1 2 a 並びにN型拡散層 D 2 のシリサイド膜 1 0 c まで到達するコンタクトホール 1 2 b が形成された層間絶縁膜 1 1 が形成されている。共通コンタクトホール 1 2 a 及びコンタクトホール 1 2 b 内には、A l 又は C u 等からなる導電膜 1 3 が埋設されている。そして、各導電膜 1 3 上には、夫々配線層 1 4 が形成されている。配線層 1 4 は、例えば T i 膜 1 4 a、T i N 膜 1 4 b、A l 膜 1 4 c、T i N 膜 1 4 d 及び T i 膜 1 4 e の積層体からなるが、A l 膜 1 4 c の替わりに C u 膜が設けられることもある。

## 【 0 0 3 1 】

トランジスタ T r 3 及び T r 6 の近接領域も、拡散層等の導電型が反転していることを除いて、同様の構造となっている。また、ゲート電極 G 2 及び G 3 の他

の部分においても、上述の延出部と同様に、ひさし部に覆われるようにしてサイドウオールが形成されている。

## 【 0 0 3 2 】

一方、トランジスタ  $T r 1$  及び  $T r 4$  は、図 4 に示すように、層間絶縁膜 1 1 上の配線層 1 4 とゲート電極及び拡散層との接続のための構造を除いて、トランジスタ  $T r 2$ 、 $T r 3$   $T r 5$  及び  $T r 6$  と実質的に同様に構成されている。即ち、図 4 に示すように、共通コンタクトホール 1 2 a は形成されておらず、コンタクトホール 1 2 b との間でゲート電極 8 a を挟む位置に N 型拡散層 D 1 のシリサイド膜 1 0 c のみに到達するコンタクトホール 1 2 c が形成されている。また、図 5 に示すように、ゲート電極 8 a のみに到達するコンタクトホール 1 2 d が、ソース・ドレイン領域から離間した位置に形成されている。なお、ゲート電極 8 a には、コンタクトホール 1 2 d の下方においてハンマーヘッドが形成されている。また、ハンマーヘッドが形成された領域においては、絶縁膜 2 及びゲート酸化膜 7 直下のシリコン基板 1 の表面に、S T I による素子分離用の酸化膜 1 5 が形成されている。

## 【 0 0 3 3 】

このように構成された本実施例の S R A M によれば、平面視でひさし部 8 b の外側にはサイドウオールが存在しないため、共通コンタクトホールの 1 2 a の大きさをコンタクトホール 1 2 b と同程度のものにすることができる。このため、よりセル面積の低減が可能になる。また、ひさし部においては、その上面だけでなく側面によっても導電膜 1 3 に接触しているため、コンタクト抵抗が低減される。

## 【 0 0 3 4 】

なお、このようにゲート長方向における長さが長くなる部分を有するゲート電極、及びこのゲート電極の側部に平面視で前記ゲート電極の上端部に隠れるように形成されたサイドウオールが設けられた構造のトランジスタは、本実施例のような S R A M セルだけでなく、ロジック回路等においても、従来の M O S F E T と同様にして使用することができる。

## 【 0 0 3 5 】

次に、上述の実施例におけるトランジスタ  $Tr\ 2$ 、 $Tr\ 3$ 、 $Tr\ 5$  及び  $Tr\ 6$  を製造する方法について説明する。図 6 乃至図 9 は本発明の実施例に係る半導体装置の製造方法を工程順に示す断面図である。なお、図 6 乃至図 9 には図 2 に相当する領域を示している。

## 【 0 0 3 6 】

先ず、図 6 (a) に示すように、シリコン基板 1 の表面に、選択的に  $STI$  による素子分離用の酸化膜 15 を形成し、更に所定のウェル (図示せず) の形成及びチャネル形成領域 (図示せず) へのイオン注入を行う。その後、シリコン基板 1 上に絶縁膜 2、絶縁膜 3 及び絶縁膜 4 を順次形成する。絶縁膜 2 は、例えば  $SiO_2$  等からなり、その膜厚は、例えば 40 nm である。絶縁膜 3 は、例えば  $Si_3N_4$ 、 $SiON$  又は  $SiC$  等からなり、その厚さは、例えば 80 nm である。また、絶縁膜 4 は、例えば  $SiO_2$  又は  $BPSG$  (Boron-doped Phosphor-Silicate Glass) 等からなり、その厚さは、例えば 140 nm である。更に、絶縁膜 4 上にレジスト膜 5 を形成し、このレジスト膜 5 にゲート電極 8 a のひさし部 8 b の幅と同じ幅 (例えば 140 nm) の開口部 5 a を形成する。そして、レジスト膜 5 をマスクとして絶縁膜 4 をエッチングして開口部 4 a を絶縁膜 4 に形成する。このときのエッチングガスとしては、例えば  $C_4F_8$ 、 $O_2$  及び  $Ar$  からなる混合ガスを使用することができる。

## 【 0 0 3 7 】

次に、図 6 (b) に示すように、絶縁膜 4 をマスクとして絶縁膜 3 をエッチングして深くなるに連れて狭くなるテーパ状の開口部 3 a を絶縁膜 3 に形成する。このときのエッチングガスとしては、絶縁膜 3 が  $Si_3N_4$  からなる場合には、例えば  $CHF_3$ 、 $CO$  及び  $O_2$  からなる混合ガスを使用することができ、絶縁膜 3 が  $SiON$  又は  $SiC$  からなる場合には、例えば  $CHF_3$ 、 $O_2$  及び  $Ar$  からなる混合ガスを使用することができる。 $CHF_3$  を含有するエッチングガスを使用することにより、エッチングと同時に、新たに形成された開口部の周囲に堆積物が形成されるので、テーパ状の開口部 3 a を形成することができる。なお、絶縁膜 3 が  $Si_3N_4$  からなる場合の各ガスの流量は、例えば標準状態で、 $CHF_3$  が 10 乃至 30 ml / 分、 $CO$  が 140 乃至 350 ml / 分、 $O_2$  が 10 乃至 50 ml

／分である。このような流量であれば、開口部 3 a の側壁と開口部 4 a の側壁とがなす角度（テーパ角度） $\alpha$  は、例えば 3 0 乃至 6 0 ° 程度になる。開口部 5 a の幅が 1 4 0 n m の場合に、3 0 ° のテーパ角度の開口部 3 a を形成すると、その最下部での幅は約 5 0 n m になる。開口部 3 a の最下部の幅は、5 0 乃至 8 0 n m 程度であることが好ましい。エッチングガス中の C O 及び O<sub>2</sub> の流量を多くすることにより、開口部 3 a の側壁部の傾斜をより緩やかにすることができ、テーパ角度  $\alpha$  を 6 0 ° 程度まで大きくすることができる。但し、テーパ角度を大きくする場合には、開口部 3 a の最下部の幅が狭くなりすぎることもあるため、開口部 2 a を必要な大きさにするために予め開口部 5 a を大きめに形成しておく必要がある場合もある。

## 【 0 0 3 8 】

次いで、図 7 ( a ) に示すように、絶縁膜 3 をマスクとして絶縁膜 2 をエッチングして開口部 2 a を絶縁膜 2 に形成する。この結果、開口部 2 a 、 3 a 及び 4 a からなる溝 6 が形成される。なお、このときのエッチングガスとしては、例えば C<sub>4</sub>F<sub>8</sub>、O<sub>2</sub> 及び A r からなる混合ガスを使用することができる。

## 【 0 0 3 9 】

その後、図 7 ( b ) に示すように、レジスト膜 5 を除去し、全面にゲート酸化膜 7 を形成する。ゲート酸化膜 7 は、例えば S i O<sub>2</sub>、S i O N、H f O<sub>2</sub>、Z r O<sub>2</sub> 又は A l<sub>2</sub>O<sub>3</sub> 等からなる。なお、ゲート酸化膜 7 を形成する前に、開口部 2 a に露出したシリコン基板 1 の表面を、8 n m 程度の深さで熱酸化して犠牲酸化膜（図示せず）を形成し、この犠牲酸化膜をエッチングレート小さくしたバッファドフッ酸を使用してウェットエッチングにより除去しておくことが好ましい。このような犠牲酸化膜の形成及び除去によって、開口部 2 a の形成の際にドライエッチングによってシリコン基板 1 の表面に損傷が発生した場合であっても、これが除去される。なお、図 7 ( b ) では、開口部 2 a 内部のみにゲート酸化膜 7 を示している。

## 【 0 0 4 0 】

続いて、図 8 ( a ) に示すように、全面に導電膜 8 を堆積する。導電膜 8 により溝 6 が埋め込まれる。導電膜 8 は、例えばポリシリコン、W、T i W、S i G

e 又は A 1 等からなり、その厚さは、例えば 3 0 0 n m である。

#### 【 0 0 4 1 】

次に、図 8 ( b ) に示すように、導電膜 4 上の導電膜 8 及び約 1 0 0 n m の絶縁膜 4 を化学機械的研磨 ( C M P : Chemical-Mechanical Polishing ) により除去する。このとき、溝 6 内の導電膜 4 も残存する絶縁膜 4 と同じ位置まで研磨され、全体的に平坦化される。この結果、絶縁膜 4 の厚さは約 4 0 n m になると共に、3 段構造のゲート電極 8 a が形成される。

#### 【 0 0 4 2 】

次いで、図 8 ( c ) に示すように、ゲート電極 8 a をマスクとして絶縁膜 4 、絶縁膜 3 及び絶縁膜 2 をエッチングする。この結果、絶縁膜 3 及び絶縁膜 2 のゲート電極 8 a のひさし部 8 b に覆われた部分のみが残存し、この残存した部分によりサイドウォール 9 が自己整合的に ( セルフアラインで ) 形成される。

#### 【 0 0 4 3 】

その後、ゲート酸化膜 7 の下方にパンチスルー防止用のポケット領域 ( 図示せず ) を斜方からのイオン注入により形成する。更に、図 9 ( a ) に示すように、拡散層形成予定領域内において、斜方からのイオン注入により絶縁膜 2 直下のシリコン基板 1 の表面に低濃度拡散層 1 0 a を形成する。続いて、露出しているシリコン基板 1 の表面にイオン注入により高濃度拡散層 1 0 b を形成する。更に、高濃度拡散層 1 0 b 上に高融点金属膜 ( 図示せず ) を堆積し、この高融点金属膜を例えば加熱によってシリコン基板 1 と反応させることにより、シリサイド膜 1 0 c を形成する。低濃度拡散層 1 0 a 、高濃度拡散層 1 0 b 及びシリサイド膜 1 0 c から L D D 構造のソース・ドレイン領域が構成される。高融点金属膜は、例えば T i 、 C o 、 N i 又は P t 等からなる。

#### 【 0 0 4 4 】

次に、図 9 ( b ) に示すように、全面に層間絶縁膜 1 1 を形成し、この層間絶縁膜 1 1 に共通コンタクトホール 1 2 a 及びコンタクトホール 1 2 b を形成する。共通コンタクトホール 1 2 a は、ゲート電極 8 a ( ゲート電極 G 2 及び G 3 の延出部の端部 ) と拡散層 D 4 及び D 8 との境界にコンタクトホール C 4 及び C 8 として形成し、コンタクトホール 1 2 b は、コンタクトホール C 1 、 C 2 、 C 3



、C 5、C 6、C 7、C 9、C 1 0 及び C 1 1 として形成する。共通コンタクトホール 1 2 a 及びコンタクトホール 1 2 c の大きさは、互いに同程度であってもよい。

## 【 0 0 4 5 】

そして、これらの共通コンタクトホール 1 2 a 及びコンタクトホール 1 2 c 内に A 1 又は C u 等からなる導電膜（図示せず）を埋設し、その上層にバリア膜及び配線等（図示せず）を形成して、通常の方法によりトランジスタを完成させる。

## 【 0 0 4 6 】

このような製造方法によれば、層間絶縁膜 1 1 に共通コンタクトホール 1 2 a 及びコンタクトホール 1 2 b を形成する際には、サイドウォール 9 は、ゲート電極 8 a のひさし部 8 b に完全に覆われているため、エッチングされない。従って、サイドウォール 9 の減少がないので、リーク電流を低減することができる。また、サイドウォール 9 をひさし部 8 b をマスクとして自己整合的に（セルフアラインで）形成することができるため、従来のように全面に絶縁膜を堆積させてエッチバックする方法と比して、工程数を低減することができる。更に、開口部 5 a の大きさを露光装置の能力からして限界の小ささとした場合でも、開口部 2 a の大きさをより小さいものにすることができるため、露光限界よりも小さいゲート長を得ることができる。特に、本実施例では、サイドウォール 9 をエッチング特性が相違する少なくとも 2 つの絶縁膜 2 及び 3 を積層して形成しているので、所望の形状のテーパ状の開口部 3 a を容易に形成することができ、所望の形状のゲート電極 8 a を得ることができる。これにより、より高速で動作する MOS トランジスタを得ることができる。

## 【 0 0 4 7 】

なお、上述の方法では、絶縁膜 3 上に絶縁膜 4 を形成しているが、絶縁膜 4 を形成せずに、より厚い、例えば 2 2 0 n m の絶縁膜 3 を形成してもよい。この場合、レジスト膜 5 に開口部 5 a を形成した後に、例えば C F<sub>4</sub> を使用して絶縁膜 3 を 1 4 0 n m 程度真っ直ぐエッチングし、その後、絶縁膜 3 の残りの 8 0 n m 程度の部分に対し上述の方法と同様の条件でテーパ状にエッチングすればよい。

## 【0048】

また、所定形状のゲート電極 8 a を得ることができれば、絶縁膜 4 を形成せずに、厚さが 80 nm 程度の絶縁膜 3 上にレジスト膜を形成しこれをマスクとしてテーパ状にエッチングし、レジスト膜を除去して導電膜 8 を形成してもよい。但し、ゲート電極 8 a の高さの確保等の観点から、上述の方法のように絶縁膜 4 を形成して CMP を行うことが好ましい。

## 【0049】

更に、絶縁膜 2、3 及び 4 の原料については、前述のようなものに限定されるものではなく、互いに所定のエッチング比を得ることができればよい。例えば、絶縁膜 2 及び 4 を窒化膜から形成し、絶縁膜 3 を酸化膜から形成してもよい。この場合でも、絶縁膜 3 のエッチングには、 $\text{CHF}_3$  を含有したガスを使用することが好ましい。

## 【0050】

## 【発明の効果】

以上詳述したように、本発明によれば、サイドウォールをゲート電極の上端部により覆っているため、その形成工程において層間絶縁膜にコンタクトホールをエッチングにより形成する場合にも、サイドウォールが上方に露出することを防止することができる。従って、サイドウォールの減少を防止してリークの発生を防止することができる。また、上端部を露光装置の限度の小ささとすれば、下端部をより小さくして露光装置の限界よりも小さいゲート長を得ることができる。これにより、MOS トランジスタの高速動作が可能になる。更に、サイドウォールは、平面視で上部の内側に存在するので、共通コンタクトホールの構造を採用したときの SRAM セルの面積をより縮小することができる。

## 【0051】

また、サイドウォールをエッチング特性が相違する少なくとも 2 つの絶縁膜を積層して形成する場合には、所望の形状のテーパ状の開口部を容易に形成することができるので、この開口部内に所望の形状のゲート電極を得ることができる。

## 【0052】

本発明方法によれば、導電膜がゲート電極となり、第 1 及び第 2 の絶縁膜がサ

イドウオールとなった構造を得ることができる。従って、サイドウオールになる第 1 及び第 2 の絶縁膜はゲート電極になる導電膜によって完全に覆われるので、その後のコンタクトホールを形成する工程においてもサイドウオールがエッチングされて減少することを防止することができる。また、サイドウオールを自己整合的に形成できるので、工程数を減少することができる。

【図面の簡単な説明】

【図 1】

(a) は本発明の実施例に係る S R A M の 1 セルを示す回路図、(b) はレイアウト図である。

【図 2】

図 1 (b) の A - A 線に沿った断面図である。

【図 3】

本発明の実施例におけるゲート電極のゲート幅方向に直交する断面の形状を示す断面図である。

【図 4】

図 1 (b) の B - B 線に沿った断面図である。

【図 5】

図 1 (b) の C - C 線に沿った断面図である。

【図 6】

本発明の実施例方法に半導体装置を製造する方法を工程順に示す断面図である。

【図 7】

図 6 に示す工程の次工程を示す断面図である。

【図 8】

図 7 に示す工程の次工程を示す断面図である。

【図 9】

図 8 に示す工程の次工程を示す断面図である。

【図 1 0】

従来の S R A M セルの構造を示す断面図である。

【図 1 1】

共通コンタクトホール 6 2 a 及びコンタクトホール 6 2 b の形成後の状態を示す断面図である。

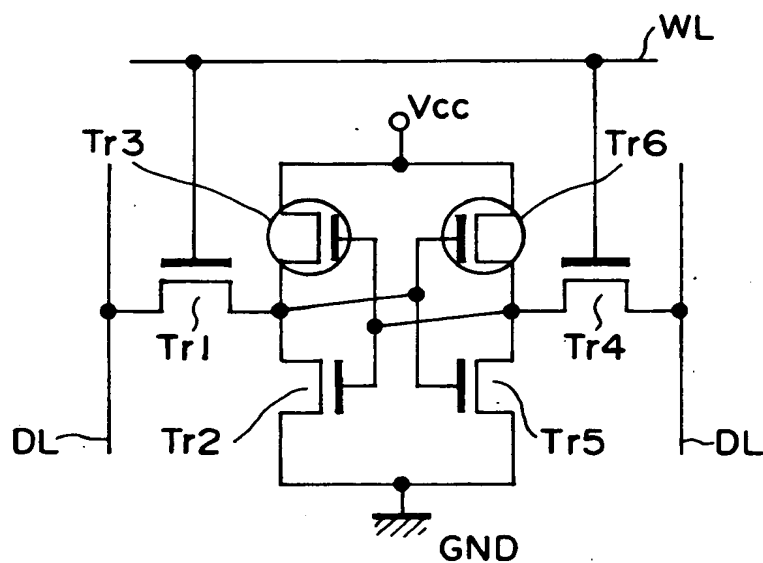
【符号の説明】

- 1 ; シリコン基板
- 2、3、4 ; 絶縁膜
- 2 a、3 a、4 a ; 開口部
- 5 ; レジスト膜
- 6 ; 溝
- 7 ; ゲート酸化膜
- 8、1 3 ; 導電膜
- 8 a ; ゲート電極
- 8 b ; ひさし部
- 8 c ; 上部
- 8 d ; 下部
- 9 ; サイドウォール
- 1 0 a、1 0 b ; 拡散層
- 1 0 c ; シリサイド膜
- 1 1 ; 層間絶縁膜
- 1 2 a、1 2 b、1 2 c ; コンタクトホール
- 1 4 ; 配線層
- 1 4 a、1 4 e ; T i 膜
- 1 4 b、1 4 d ; T i N 膜
- 1 4 c ; A l 膜
- 1 5 ; S T I による素子分離用の酸化膜

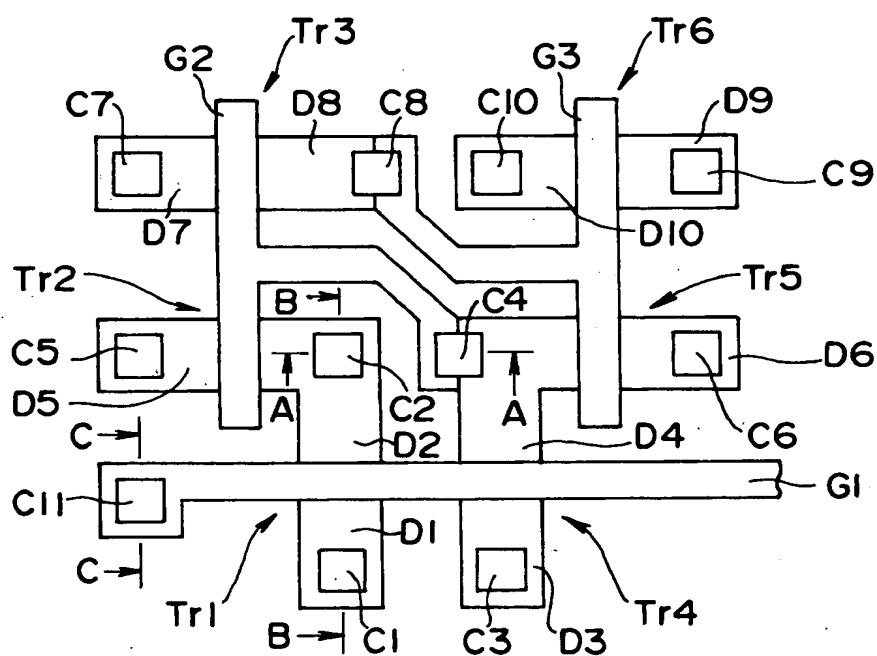
【書類名】

図面

【図 1】



(a)



(b)

WL ; ワード線

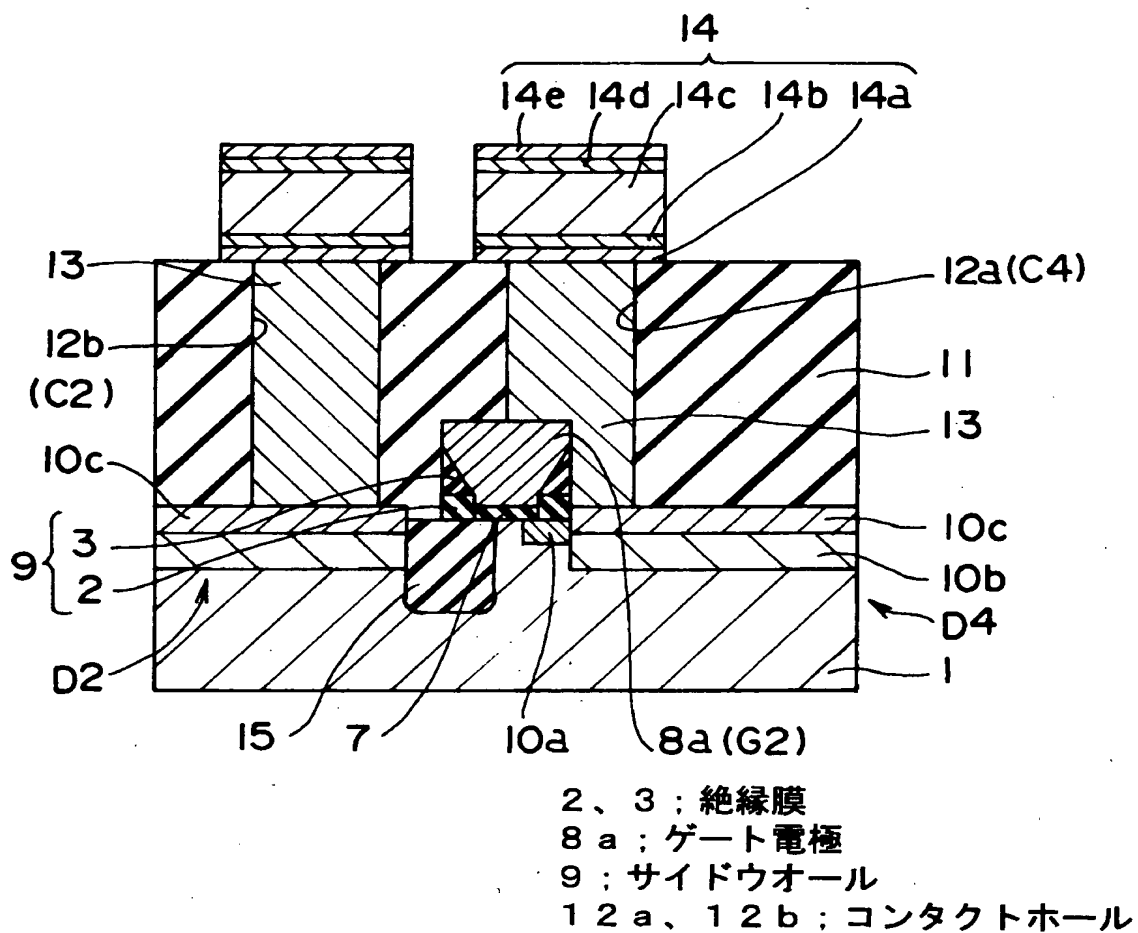
DL: データ線

C 1 ~ C 1 0 ; コンタクトホール

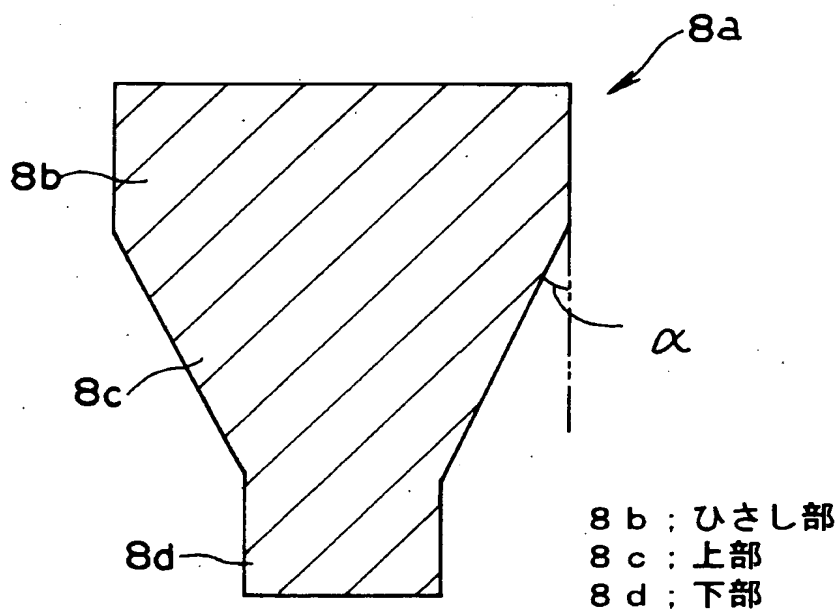
D 1 ~ D 10 ; 拡散層

G 1 ~ G 3 ; ゲート電極

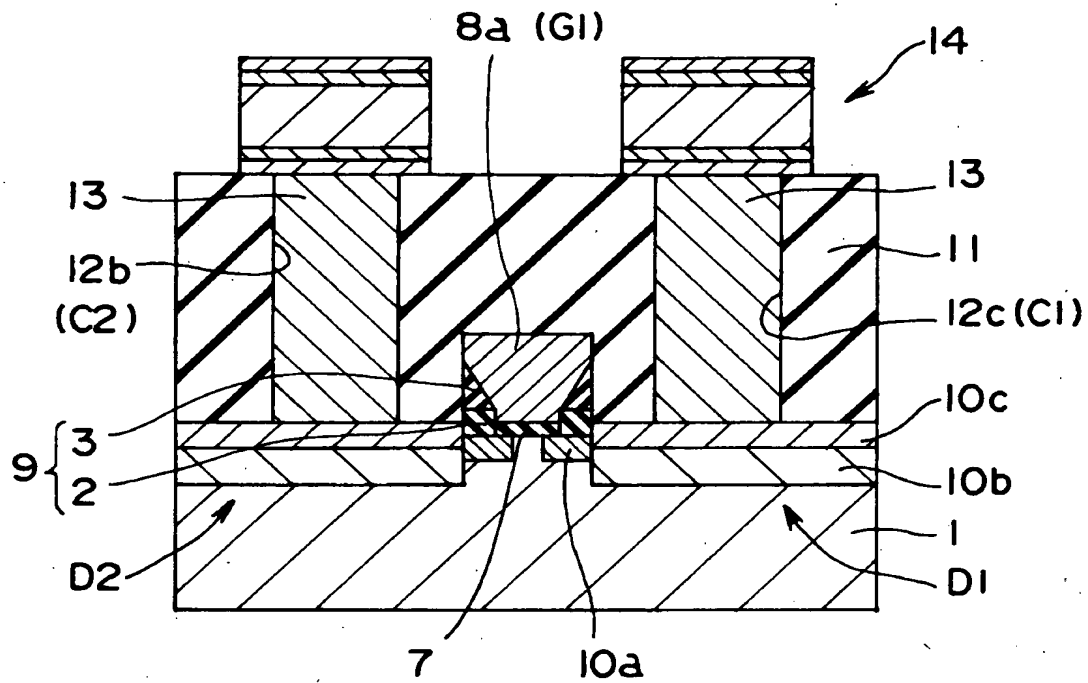
【図 2】



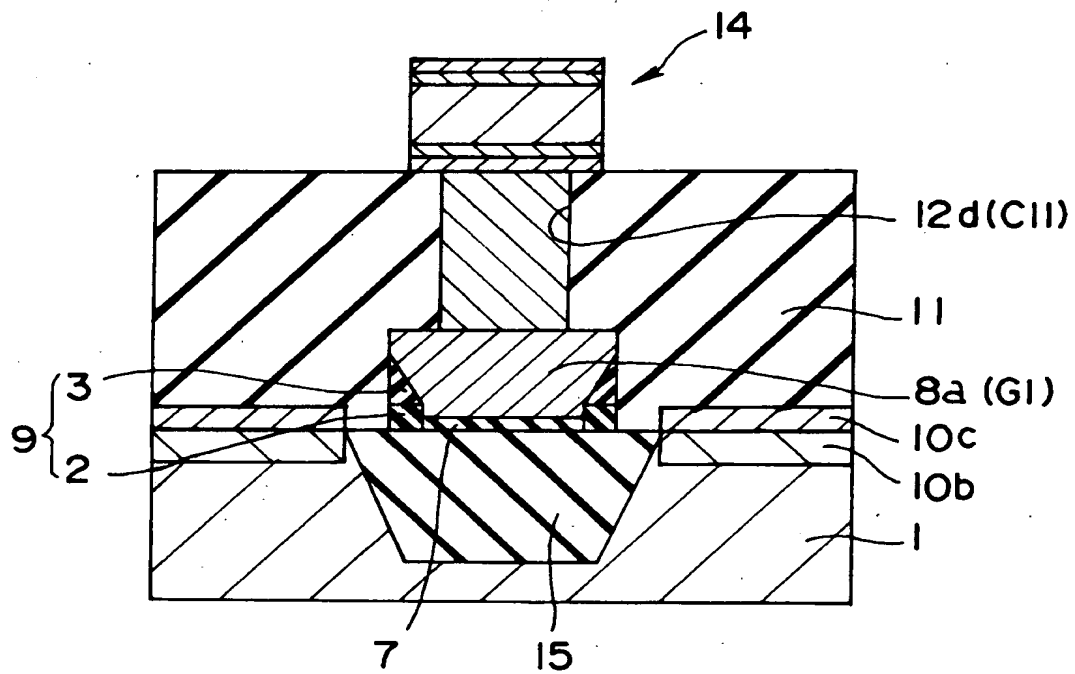
【図 3】



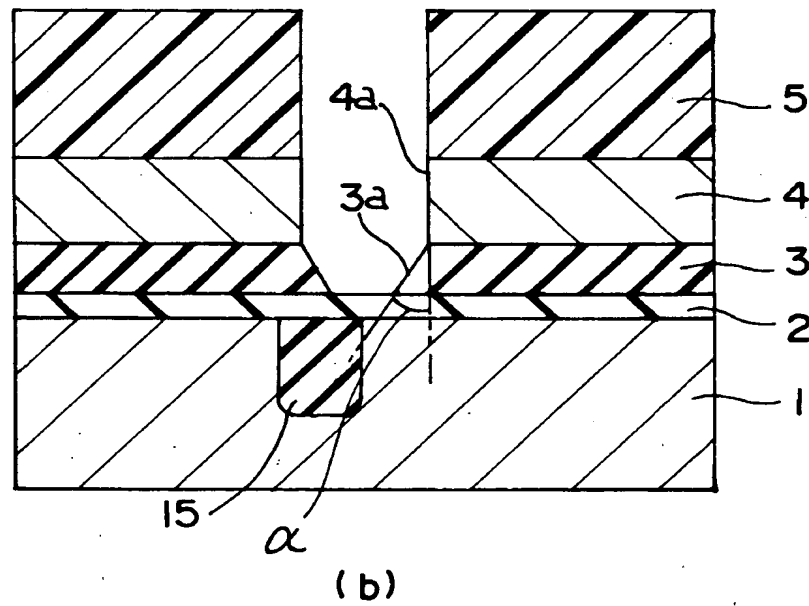
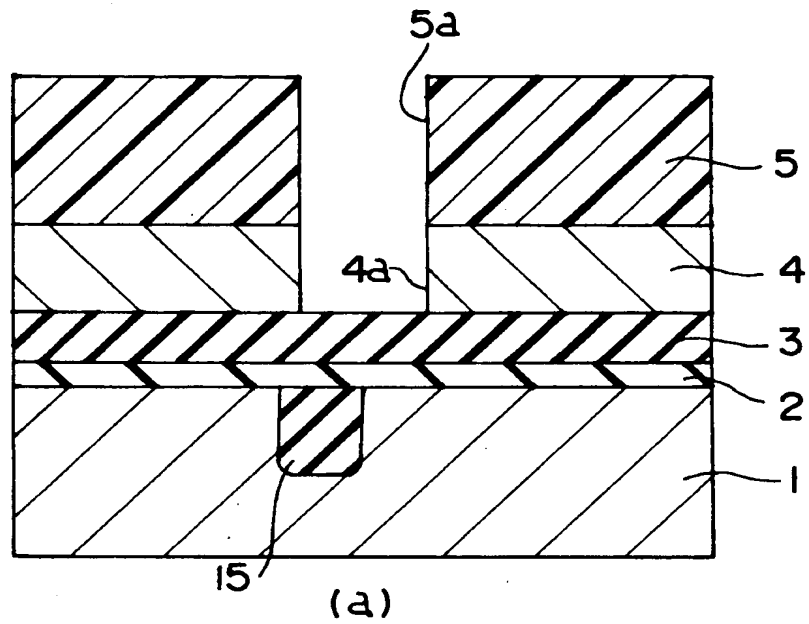
【図 4】



【図 5】



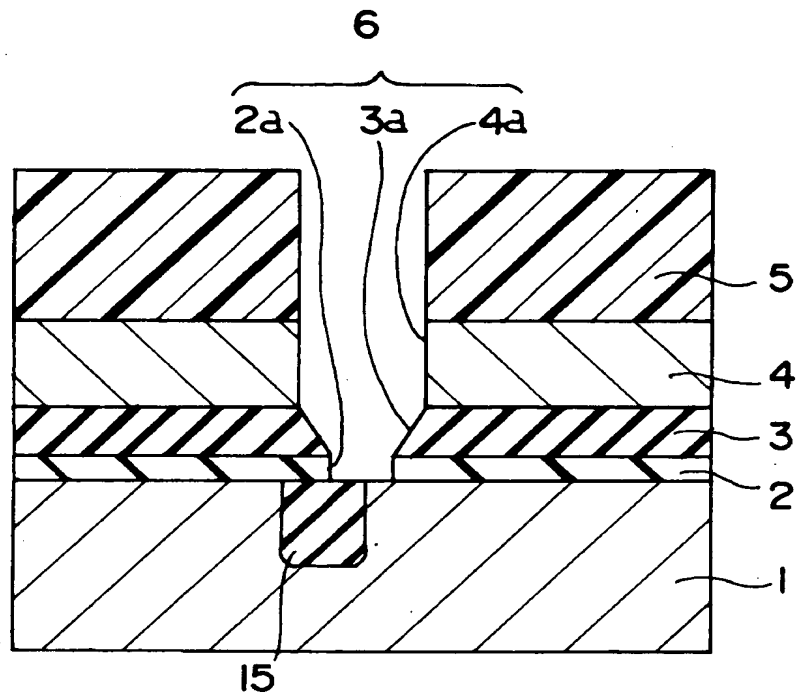
【図 6】



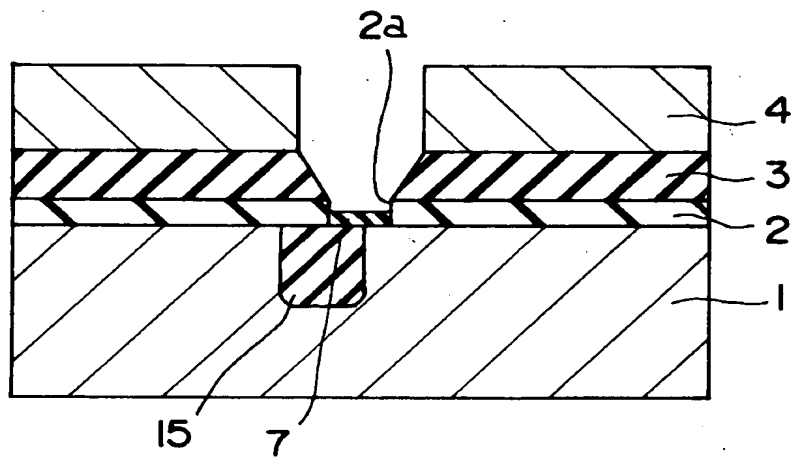
- 1 ; シリコン基板
- 2、3、4 ; 絶縁膜
- 3 a、4 a ; 開口部
- 5 ; レジスト膜
- 1 5 ; S T I による素子分離用の酸化膜



【図 7】



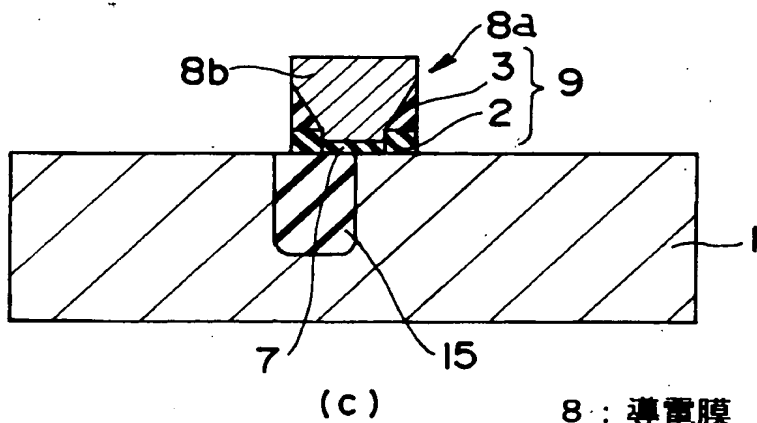
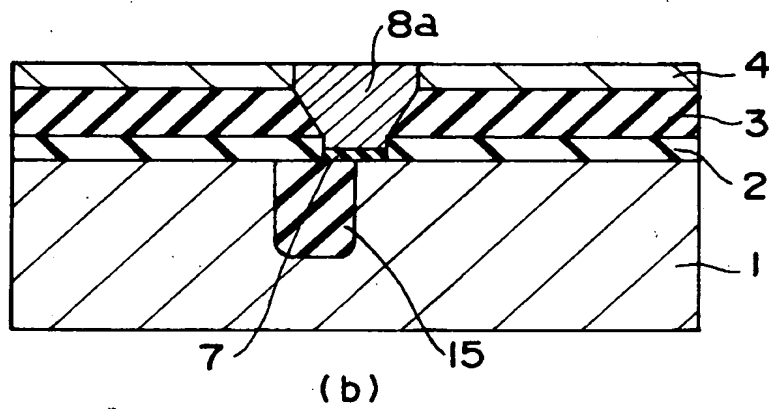
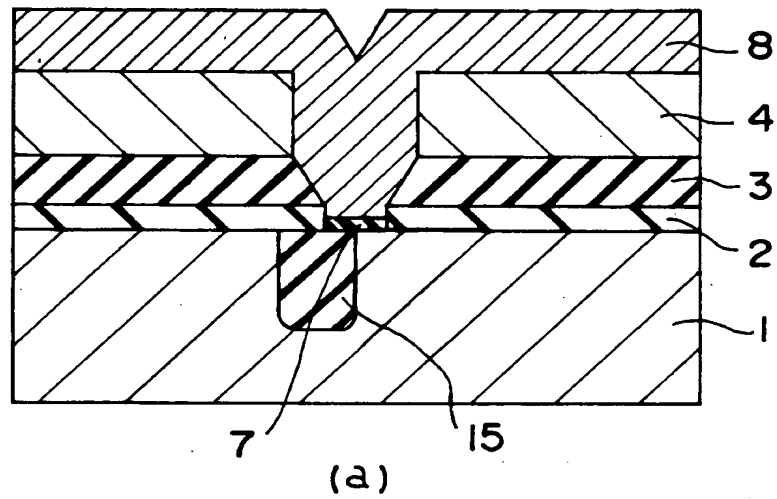
(a)



(b)

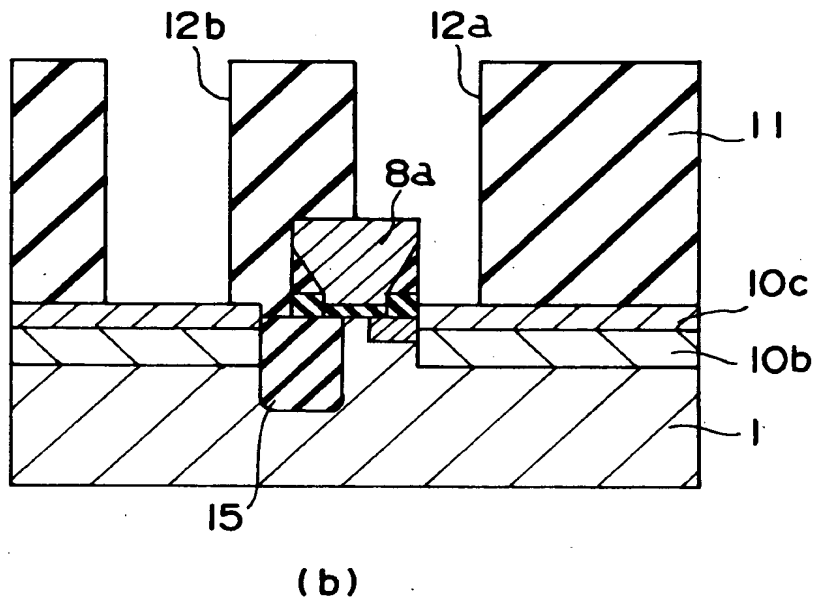
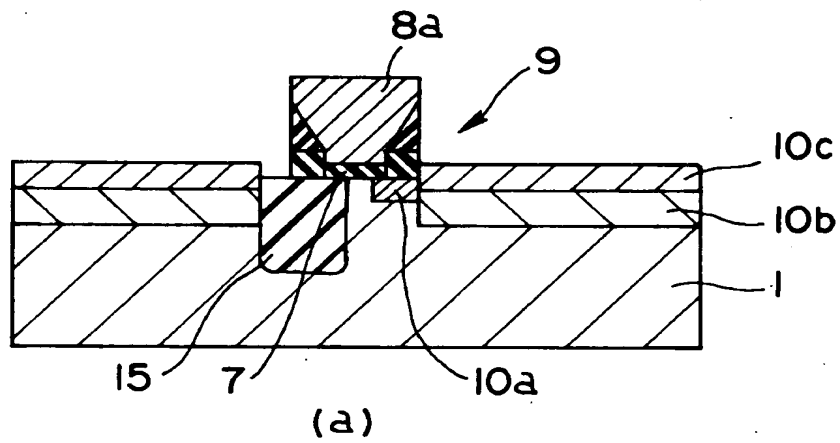
2 a : 開口部  
6 : 溝  
7 : ゲート酸化膜

【図 8】



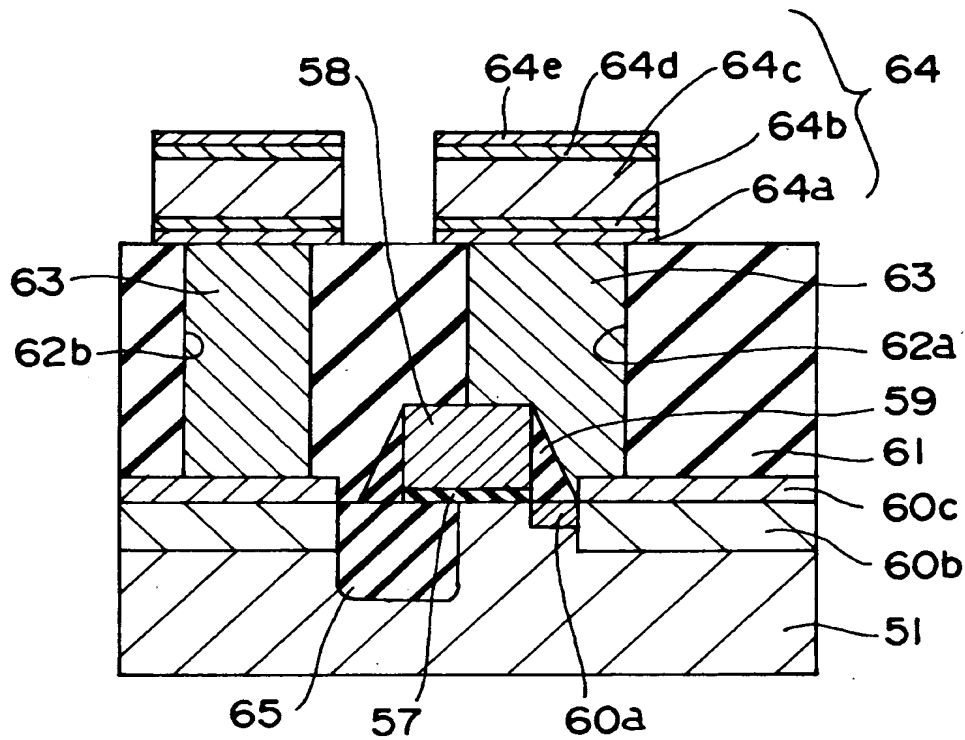
8 : 導電膜  
8 a : ゲート電極  
9 : サイドウォール

【図 9】

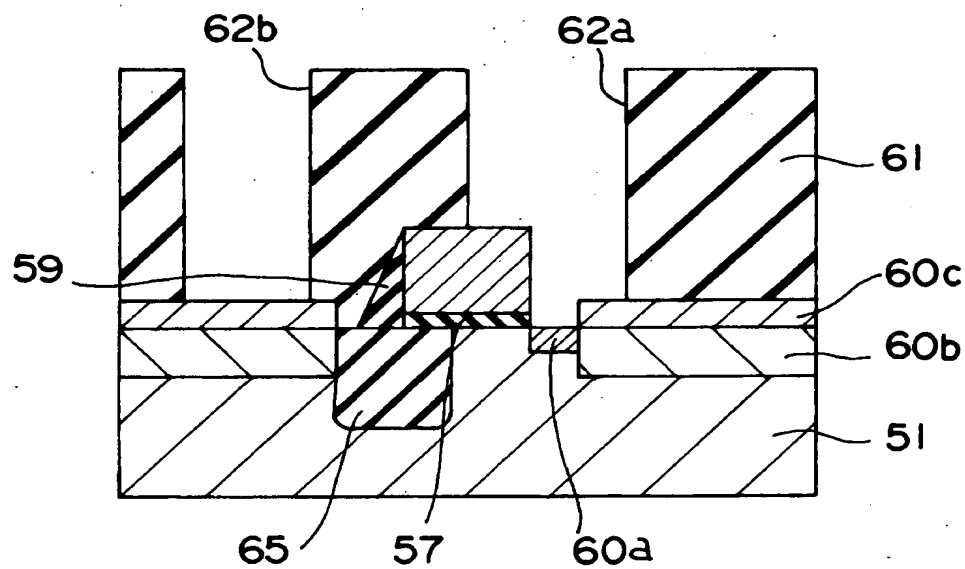


10a、10b；拡散層  
 10c；シリサイド膜  
 11；層間絶縁膜  
 12a、12b；コンタクトホール

【図 1 0】



【図 1 1】



【書類名】 要約書

【要約】

【課題】 サイドウォールの減少に伴うリーク電流の発生を低減することができる半導体装置及びその製造方法を提供する。

【解決手段】 シリコン基板 1 上にゲート酸化膜 7 を介してゲート電極 8 a が形成されている。ゲート電極 8 a は、ひさし部、上部及び下部の 3 段構造を有している。ひさし部の断面形状は長方形であり、下部の断面形状も長方形であり、上部の断面形状は下辺が短い等脚台形である。また、ひさし部の側部と上部 8 c の側部とがなす角度（テーパ角度） $\alpha$  は、例えば  $30^\circ$  程度である。上部の側方には、ひさし部に覆われるようにして絶縁膜 3 が形成され、下部及びゲート酸化膜 7 の側方には、ひさし部に覆われるようにして絶縁膜 2 が形成されている。これらの絶縁膜 3 及び絶縁膜 2 からサイドウォール 9 が構成されている。

【選択図】 図 2

特 2 0 0 0 - 3 9 4 6 0 9

認 定 ・ 付 加 情 報

特許出願の番号	特願 2 0 0 0 - 3 9 4 6 0 9
受付番号	5 0 0 0 1 6 7 8 8 6 9
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 2 年 1 2 月 2 7 日

< 認定情報・付加情報 >

【提出日】	平成12年12月26日
-------	-------------

次頁無

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社